

# 基于反嵌套共源共栅米勒补偿的 LDO 设计

康 瑞,代国定,李沉沉,刘 帅

(西安电子科技大学 CAD 电路研究所,陕西 西安 710071)

**摘 要:** 基于反嵌套式共源共栅米勒补偿提出了单极点系统的无电容型 LDO 线性稳压器. 该稳压器采用由反相增益级和反相可变增益级组成的可变增益缓冲器,可提高 LDO 的压摆率和负载瞬态变化时的稳定性. 基于 TSMC 0.25  $\mu\text{m}$  CMOS 工艺,设计了一款 2.5 V 200 mA 的适合 SoC 应用的无电容型 LDO,仿真结果表明其漏失电压为 150 mV,在 1 mA 到 200 mA 的负载电流范围内,该 LDO 在输出电容为 0~1  $\mu\text{F}$  的范围内都能稳定,负载电流为 200 mA 时,环路的最大相位裕度可达 86°,最小相位裕度高达 76°.

**关键词:** 低压差线性稳压器;无电容型;反嵌套式共源共栅米勒补偿;可变增益缓冲器

**中图分类号:** TN432

**文献标识码:** A

**文章编号:** 1000-7180(2018)11-0020-04

## A Capacitor-free Low-dropout Regulator Based on Reversed Nested Cascode Miller Compensation

KANG Rui ,DAI Guo-ding, LI Chen-chen, LIU Shuai

(Institute of Electronic CAD, Xidian University, Xi'an 710071, China)

**Abstract:** Based on reversed nested cascode miller compensation(RNCMC), a single pole system of capacitor-free low-dropout regulator is presented. The LDO adopts a variable-gain-buffer that consists of an inverting stage and a variable gain inverting stage to improve the slew rate and the stability of load stepping. A 2.5 V 200 mA capacitor-free LDO for SoC application is targeted by TSMC 0.25  $\mu\text{m}$  CMOS process in this paper. Simulation results shows that the dropout voltage is 150 mV, the LDO's load current is from 1 mA to 200 mA and the LDO can be stable in the range of 0 to 1  $\mu\text{F}$  for output capacitance, the maximum phase margin is up to 86 degrees and the minimum is 76 degrees when the load is at 200 mA.

**Key words:** LDO; capacitor-free ; RNCMC; variable-gain-buffer

### 1 引言

传统低压差线性稳压器(LDO)需要外接大电容来降低主极点和利用外接大电容的等效串联电阻(ESR)产生的左半平面零点补偿第一个非主极点以保持系统环路稳定<sup>[1]</sup>. 然而 ESR 的值不易控制且会随着环境温度的变化而变化,当 ESR 的值较低时,ESR 产生的零点会大于 LDO 的单位增益带宽(UGF),无法保证环路的稳定性<sup>[2]</sup>. 此外,外接大电容很难应用于片上系统,这无疑会增加应用的复杂度和成本. 因此,设计无需输出电容就能实现自稳定

的无电容型 LDO,已成为当今 LDO 的热点技术.

针对无电容型 LDO 的环路稳定性,近年来已有不少文献进行了深入的分析,如零极点抵消补偿技术<sup>[3]</sup>、阻尼系数控制频率补偿技术<sup>[4]</sup>、采用低导通电阻的调整管降低对输出电容的要求<sup>[5]</sup>、嵌套式米勒补偿技术<sup>[6]</sup>、动态米勒补偿<sup>[7]</sup>等. 这些技术都降低了 LDO 对输出电容的要求.

本文中提出了基于反嵌套式共源共栅米勒补偿(RNCMC)的无电容型 LDO 线性稳压器,相较于传统米勒补偿,共源共栅米勒补偿的带宽大、不需要调零电阻、补偿电容值小且有助于提高 PSRR<sup>[8]</sup>,反嵌

套米勒补偿非常适合驱动大负载电容<sup>[9]</sup>. 基于 TSMC 0.25  $\mu\text{m}$  CMOS 工艺,对所设计的电路进行仿真验证,结果显示本文提出的 LDO 架构在负载电流从 1 mA 到 200 mA 瞬态变化, LDO 输出电容在 0~1  $\mu\text{F}$  范围内变化,系统可以保持稳定.

## 2 基于 RNCMC 的无电容型 LDO 架构

文中设计的无电容型 LDO 结构如图 1 所示,包括第一级高增益放大器、第二级反相增益级和第三级可变增益反相增益级组成的可变增益缓冲级、PMOS 调整管、反馈电阻网络,以及反嵌套式共源共栅米勒补偿网络.

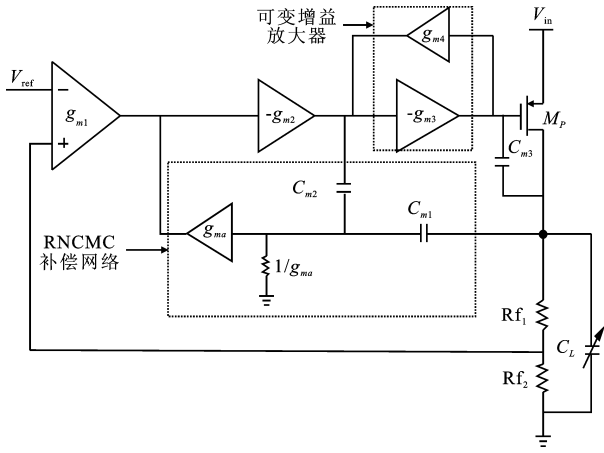
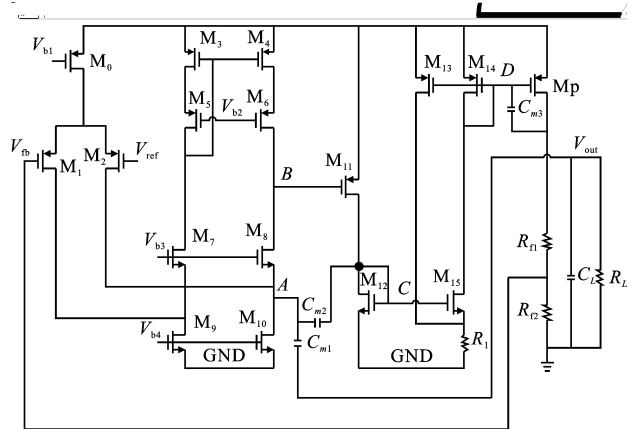


图 1 基于 RNCMC 的 LDO 架构

图 2 是该 LDO 的主体电路,第一级是由折叠式共源共栅差分运放组成的高增益放大器. 第二级、第三级是负载为二极管连接的低输出阻抗反相放大器,两者组成大摆幅缓冲器,相比于文献[8]中的缓冲器能提供较宽的功率管栅极电压范围. 第三级通

过晶体管  $M_{13}$  和  $M_{15}$  的源极负反馈电阻<sup>[10]</sup>  $R_1$  引入可变增益,在轻载跳变重载的情况下,功率管栅极电压减小,由  $M_{13}$  灌入  $R_1$  的电流增大,  $M_{15}$  的源极电压被抬高,抑制了流过  $M_{15}$  电流的增加,从而降低环路增益,提高环路稳定性. RNCMC 补偿电容  $C_{m1}$  和  $C_{m2}$  的一端分别接 LDO 输出和第二级反相放大器的输出,另一端接  $M_8$  的源极,即共源共栅米勒补偿<sup>[6,8]</sup>.



$$C_L \gg C_{m1}, C_{m2}, C_{m3}$$

$$(b) R_{eq} \gg 1; \quad g_{mp} \gg g_{m1}; \quad g_{mp} R_{out} \gg 1$$

可以得到 LDO 系统的传递函数和环路直流增益如公式(1) 和(2), 其中:

$$R_{eq} \approx g_{m6} r_{o6} r_{o4}; G_{m15} \approx \frac{1}{R_1 || r_{o13}};$$

$$R_{out} = R_L || (R_{f1} + R_{f2}) || r_{op}$$

主极点为:

$$p_{-3dB} = \frac{1}{R_{eq} \left[ \frac{g_{m11} G_{m15}}{g_{m12} (g_{m13} + g_{m14})} g_{mp} R_{out} \right] C_{m1}} \quad (3)$$

分析公式(1) 可以得出, LDO 环路有三个非主极点、一个右半平面零点和两个左半平面零点:

$$p_{nd1} = \frac{g_{mp}}{C_L} \quad (4)$$

$$p_{nd2} = \frac{g_{m12}}{C_{m2}} \quad (5)$$

$$p_{nd3} = \frac{g_{m8} R_{eq} g_{m11} G_{m15}}{g_{m12} C_{m3}} \quad (6)$$

$$z_{RHP} = \frac{g_{mp}}{C_{m3}} \quad (7)$$

$$z_{LHP1} = \frac{g_{m12}}{C_{m2}} + \frac{g_{m13} + g_{m14}}{C_{m3}} \quad (8)$$

$$z_{LHP2} = \frac{g_{m8} R_{eq} g_{m11} G_{m15} C_{m3}}{g_{m12} C_{m1} C_{m3} + (g_{m13} + g_{m14}) C_{m1} C_{m2}} \quad (9)$$

分析由式(1) 得出的极点和零点, 高频零极点  $p_{nd2}$  和  $z_{LHP1}$ 、 $p_{nd3}$  和  $z_{LHP2}$  相抵消, 由于  $C_L \gg C_{m3}$ , 所以  $z_{RHP} \gg p_{nd1}$ . 为确保环路的稳定性, 该 LDO 采用单极点系统, 则:

$$p_{nd1} \geq 2GBW, \text{ 即 } \frac{g_{mp}}{C_L} \geq \frac{2g_{m1}}{3C_{m1}} \left( \frac{R_{f1}}{R_{f1} + R_{f2}} \right) \quad \text{可}$$

推导出  $C_L \leq \frac{3g_{mp} C_{m1}}{2g_{m1}} \left( 1 + \frac{R_{f2}}{R_{f1}} \right)$ , 通过合理的参数设置就可定出 LDO 输出电容的最大值.

分析公式(3) 和(4), 当负载从轻载跳变到重载时, 主极点  $p_{-3dB}$  远离原点的幅度大于非主极点  $p_{nd1}$ , 等于说主极点  $p_{-3dB}$  和非主极点  $p_{nd1}$  之间的距离被拉近, 这样环路的相位裕度会减小, 功率管栅极电压被快速拉低且会下冲, 环路在对功率管栅极的下冲电压进行补偿时输出电压就会出现振铃, 所以要在第三级引入可变增益, 当负载从轻载跳变到重载时快速降低环路增益, 衰减功率管栅极电压的下冲电压, 从而可以消除输出电压当负载从轻载跳变到重载时出现的振铃.

### 3.2 LDO 输出电容 $C_L = 0$

当输出电容  $C_L$  为零时, 式(1) 的分母中  $s^3$  和  $s^2$

的系数变为零, 非主极点只有  $p_{nd3}$ , 该极点位于高频, 单位增益带宽内就只有一个极点, 系统环路是稳定的.

所以本文提出的基于 RNCMC 的 LDO 架构可以在输出电容  $C_L \neq 0$  和  $C_L = 0$  都能稳定. 当负载电流小到一定程度时, 功率管跨导  $g_{mp}$  太小会出现  $\frac{g_{mp}}{C_L} \leq \frac{2g_{m1}}{3C_{m1}} \left( \frac{R_{f1}}{R_{f1} + R_{f2}} \right)$ , 这样单位增益带宽内存在两个极点, 系统处于不稳定, 该 LDO 的最小负载电流设定为 1 mA, 从下一节仿真结果可以看到负载电流为 1 mA ~ 200 mA, 系统保持稳定.

## 4 仿真结果分析

基于 TSMC 0.25  $\mu\text{m}$  CMOS 工艺, 完成了主体电路的设计, 并采用 Cadence 仿真软件中的 spectre 仿真器进行了仿真.

图 4 为负载电流为 1 mA、100 mA、200 mA 时输出电容从 0 ~ 1  $\mu\text{F}$  变化的环路相位裕度, 可以看到当输出电容从 0 ~ 1  $\mu\text{F}$  变化时, 负载电流为 1 mA 的最小 PM 为 30°, PM 为 45° 时输出电容可达到 0.7  $\mu\text{F}$ ; 负载电流为 100 mA 的最小 PM 为 79°; 负载电流为 200 mA 的最小 PM 为 76°.

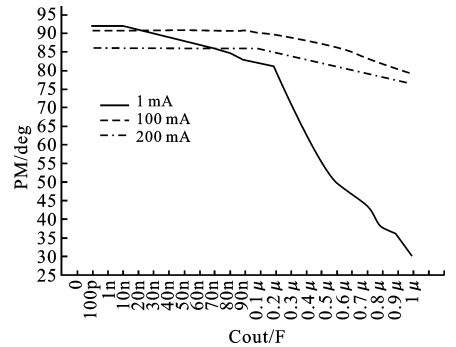


图 4 LDO 不同输出电容的相位裕度

图 5 给出了输出电容是 0 和 1  $\mu\text{F}$ , 负载电流瞬态变化的 LDO 负载瞬态响应. 当负载电流发生 200 mA ~ 1 mA 的瞬态变化时, 图 2 中  $M_{15}$  的栅极电压被快速拉低,  $M_{15}$  被关断, 此时二极管连接的  $M_{14}$  相当于一个电阻, 功率管  $M_p$  的栅极电压通过该电阻充电被缓慢拉高, 负载电流缓慢减小, 所以从图 5 可以看到输出电容为 0 时输出电压会被充的很高. 当输出电容为 1  $\mu\text{F}$  时, 输出电压在恢复过程中会出现下冲电压, 这是因为当负载电流为 1 mA 且输出电容为 1  $\mu\text{F}$  时 PM 为 30°.

图 6 是 LDO 在负载电流为 200 mA 输出电容为 0 和 1  $\mu\text{F}$  时的 PSRR, 从图中可以看到 LDO 低

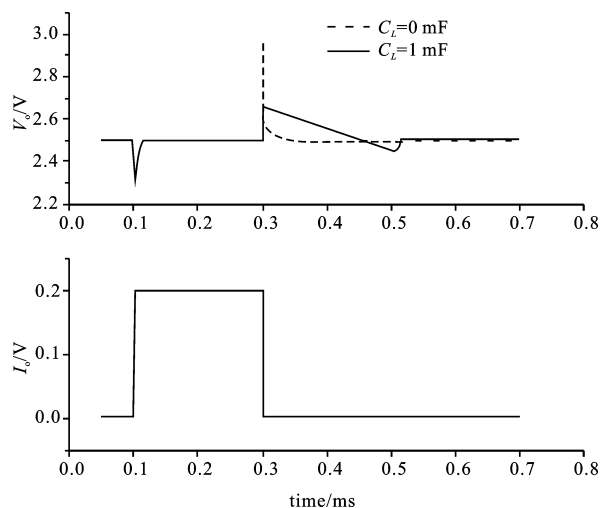


图5 负载瞬态响应仿真

频时 PSRR 约为 83 dB,在 10 kHz 的 PSRR 约为 41 dB,还可以看到当 LDO 输出加电容时的 PSRR 要好于输出无电容时的 PSRR,特别是在高频,所以在应用时可根据需求在 LDO 输出加电容。

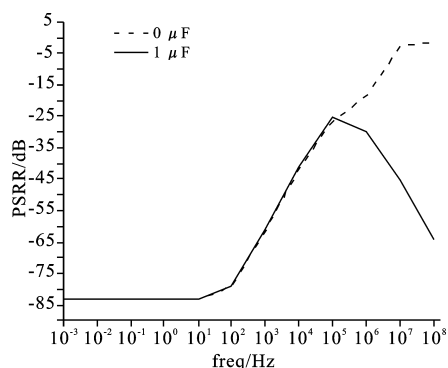


图6 PSRR 仿真

## 5 结束语

本文基于反嵌套共源共栅米勒补偿产生一个主极点、一个次主极点、两对高频零极点对和一个高频右半平面零点,通过合理设置电路参数使得单位增益带宽内存在一个极点,从而保证 LDO 环路的稳定,并且采用由两级反相增益组成的可变增益缓冲器提高 LDO 的压摆率和负载瞬态跳变时的稳定性。基于 TSMC 0.25  $\mu\text{m}$  CMOS 工艺设计了一款 2.5 V 200 mA 的无电容型 LDO,在满负载 200 mA 的情况下的漏失电压低至 150 mV,负载电流范围为 1 mA~200 mA。当负载电流发生瞬态变化时,该 LDO 的输出电容在 0~1  $\mu\text{F}$  的范围内系统具有很好的稳定性,表明该 LDO 既可以应用于低成本 SoC,也可作为需要输出电容的独立 LDO 来使用,非常适合电源管理系统中的应用。

## 参考文献:

- [1] Rincon-Mora G A, Allen P E. A low voltage, low quiescent current, low dropout regulator[J]. IEEE Journal of Solid-State Circuits, 1998, 33(1): 36-44.
- [2] Huang W, Lu S, Liu S. A capacitor-free CMOS low dropout regulator with slew rate enhancement[J]. VL-SI Design, Automation and Test, 2010, 57(2):80-84.
- [3] Pan H, Cheng C, Chen C. A CMOS low dropout regulator stable with any load capacitor[C]// Tencon IEEE Region 10 Conference. [s. l]. 2004(4):266-269.
- [4] 邹志革,杨诗洋,邹雪城. 基于阻尼系数控制频率补偿的无电容型 LDO 设计[J]. 微电子学与计机, 2009, 26(7):49-53.
- [5] Heisley D, Wank B. DMOS delivers dramatic performance gains to LDO regulators[J]. IEEE Trans Circuit System-I: Fundamental Theory and Application, 2001, 48(9):1041-1056.
- [6] Tan Min, Ki Wing-Hung. A cascode miller compensated three-stage amplifier with local impedance attenuation for optimized complex-pole control [J]. IEEE Journal of Solid-State Circuits, 2015, 50(2):440-449.
- [7] Chen Chiamin, Hung Chungchih. Enhanced active feedback technique with dynamic compensation for low-dropout voltage regulator[J]. Analog Integrated Circuits & Signal Processing, 2013, 75(1):97-108.
- [8] Ribner D, Copeland M. Design technique for a cascaded CMOS opamp with improved PSRR and common-mode input range [J]. IEEE Solid-State Circuits, 1984, SC-19(6):919-925.
- [9] Grasso A D, Palumbo G, Pennisi S. Advances in reverse nested miller compensation[J]. IEEE Transactions on Circuits and Systems, 2007, 54(7):1459-1470.
- [10] 拉扎维. 模拟 CMOS 集成电路设计[M]. 西安:西安交通大学出版社, 2002:297-305.

## 作者简介:

康瑞 男, (1990-), 硕士研究生. 研究方向为模拟集成电路设计. E-mail: kwngnru14305@126.com.

代国定 男, (1969-), 博士, 副教授. 研究方向为数模混合集成电路设计.

李沉沉 女, (1992-), 硕士研究生. 研究方向为模拟集成电路设计.

刘帅 女, (1993-), 硕士研究生. 研究方向为模拟集成电路设计.